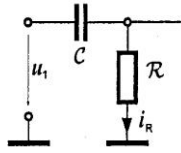
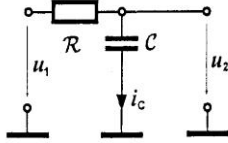


1. RC in CR člen

Kombinaciji upora in kondenzatorja pravimo RC in CR člen in sta sestavna dela mnogih elektronskih vezij. Večkrat vgradnjo načrtujemo, pogosto pa nastopata kot parazitna člena.



a.) RC člen

Napetost u_1 ponazarja vzbujanje u_2 pa odziv.

Predpostavimo, da je u_1 vsiljena z idealnim virom, izhod pa ni obremenjen. Če notranja uporanost ni zanemarljiva jo prištejemo upor R . Če je izhod obremenjen z R_b , lahko določimo Theveninovo napetost in upornost. Vrednost Theveninove upornosti je $R_t = R || R_b$, Theveninova napetost p oznaša $u_t = u_1 * R_b / (R + R_b)$.

Kadar ima vzbujanje sinusni potek, lahko vezje obravnavamo v **frekv. prostoru kot napetostni delilnik**. Prenosna f-ja je tako $H(\omega) = 1 / (1 + j\omega RC)$. Pogosto pa operiramo z dvema izpeljanima veličinama in sicer **amplitudni in fazni odziv**.

Iz grafov ugotovimo, da je amplitudni odziv pri majhnih frekvencah praktično enak 1, kar pomeni da signal ni slabljen. Tudi fazni odziv je dokaj majhen oz. praktično kar enak 0° . Opazimo tudi, da se začne fazni odziv veliko hitreje spreminjati kot amplitudni, zato na osciloskopu najprej opazimo fazni zamik. Z večanjem frekvence signala pride do slabljenja amplitude in večjega zamika faze, še posebej ko presežemo mejno frekvenco RC-člena. To pomeni, da so **velike frekvence zadušene**. Fazni zaostanek pa gre proti -90° .

b.) Aproksimacija amplitudnega odziva:

V praksi zelo redko določamo odziv z natančnim izračunom parametrov, ampak na podlagi aproksimacij. Tako za majhne frekvence aproksimiramo $|H(\omega)| \approx 1$ in za velike frekvence $|H(\omega)| \approx 1 / j\omega RC$. **Mejno frekvenco ω_m** določimo ko sta obe enaki in dobimo $\omega_m = 1 / RC$. Pri mejni frekvenci amplituda izhodnega signala pade za približno 30% glede na vhod, čeprav bi s predhodno aproksimacijo rekli, da je izhod enak vhodu. **Mejna frekvenca jeteoretično najboljša meja med nizko- in visoko- frekvenčno asimptoto prenosne funkcije**. Prav zato vzamemo območje brez popačenja le $\omega_m / 10$.

Prav tako ne moremo smatrati, da od mejne frekvence naprej signal popolnoma duši. Pri npr. frekvenci $10 * \omega_m$ ima signal le še 10% vrednosti vhoda. Ugotovimo, da je RC člen dokaj neučinkovit pri dobrem izločanju motnje.

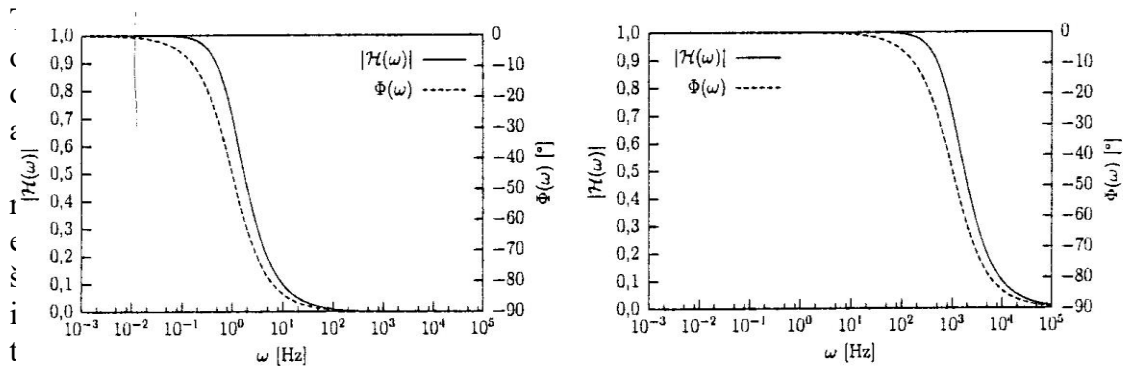
c.) Aproksimacija faznega odziva:

Ko je argument f-je arctan manjši od 0.1 (to je $\omega < \omega_m / 10$) je $\phi(\omega) = 0^\circ$. Ko pa je $\omega > 10 * \omega_m$ je $\phi(\omega) = -90^\circ$. V frekvenčnem področju med obema področjema fazni zamik monotono pada in je pri mejni fr. točno -45° .

d.) Logaritemsko merilo in decibeli:

Opisane karakteristike si lažje predstavljamo, če jih prikažemo na Bodojevem diagramu. To je ločen prikaz amplitudnega in faznega odziva v odvisnosti od ω , pri čemer ω nanašamo v logaritemskem merilu.

Izkaže se, da smo z uporabo linearnega merila precej omejeni na prikaz določenega področja. Naprimer da ima RC člen $\omega_m = 1 \text{ Hz}$, mi pa želimo prikazati območje do 10 kHz. Graf ni uporaben. Lahko pač izberemo drugačno področje ali pa uporabimo logaritemsko merilo. Uporablja se logaritem z osnovo 10, kar pomeni, da je ena enota enaka eni dekadi frekvence (npr $10^0, 10^1, 10^2, \dots$). Tako naprimer, se graf RC-člena ki ima 100x večjo ω_m le prestavi za 3 enote v desno.



v še vedno ni zadovoljiva. Slabost je, da ne vidimo natančno kolikšen je amplitudni odziv v območju, kjer je amplituda skoraj enaka 0. Rešitev nam zopet ponuja uporaba logaritmskega merila. Razširilo se je prikazovanje v decibelih (dB), ki so bili prvotno uporabljeni za izražanje razmerja dveh moči. $P2/P1[\text{dB}] = 10 \cdot \log(P2/P1)$. Razmerje 0dB pomeni, da sta si moči enaki, 10dB pomeni, da je razmerje moči 10:1. 20dB pomeni, da je razmerje 100:1...

V decibelih pa lahko podajamo tudi absolutno vrednost moči P2. V tem primeru moramo definirati kolikšna je moč P1 (Če je $P1 = 1\text{mW}$ dobi enota moči dBm. Tako pomeni 0dBm moč 1mW).

Decibele pa lahko uporabljamo tudi za razmerje napetosti. Pri tem upoštevamo kvadratno odvisnost moči od efektivne vrednosti napetosti $P = U_{\text{eff}}^2/R$. Dobimo $U2/U1[\text{dB}] = 20 \cdot \log(|U2|/|U1|)$.

e.) CR-člen:

Tudi CR člen lahko obravnavamo kot napetostni delilnik. Prevajalno funkcijo določa enačba $H(\omega) = U2/U1 = 1/(1 + j\omega RC)$. Vidimo, da je tukaj situacija ravno obratna. Pri nizkih frekvencah prevlada člen $1/j\omega RC$, pri visokih pa 1. Mejna frekvenca je enaka in je $\omega_m = 1/RC$.

2. Časovni odziv RC in CR člena

V elektroniki pogosto uporabljamo signale drugih oblik kot le sinusnih. Poglejmo kako je pri vzbujanju z pravokotnimi impulzi. Vemo, da lahko poljubni periodični signal razstavimo na osnovno harmonsko in neskončno višjih harmonskih komponent.

a.) Odziv RC člena na pravokotne pulze:

Od potreb natančnosti je odvisno koliko višjih h.k. ne sme biti popačenih oz. kolikšno frekvenčno mejo mora imeti pot signala. Privzemimo, da mora biti $t_{\text{le-ta}}$ 10x večja od frekvence pravokotnih pulzov.

Primer. RC člen, ki ima mejno frekvenco $\omega_m = 10\text{kHz}$ vzbujamo s pravok. signali frekvence 10Hz. Zaradi nizke frekvence pulzov je signal nepopačen, ker se dovolj višjih harmonskih komponent prenece skozi člen. Z višanjem frekvence pulzov, čedalje manj višjih h.k. prehaja skozi RC-člen in ko je frekvenca pulzov približno enaka $\omega_m/10$ signal postane opazno popačen. Ko nadaljujemo z višanjem frekvence se pri frekvenci pulzov ki je približno enaka ω_m signal zelo popači (dobimo že skoraj trikotnike)...

Ta pojav pa lahko tudi koristno uporabimo. Npr za filtriranje vhodne napetosti v precizijske instrumente.

b.) RC-člen kot integrirni člen:

RC-člen lahko uporabimo za izvedbo analognega integriranja. Vzemimo, da je ob času $t=0$ kondenzator prazen. Vhod vezja vzbujamo s signalom u_1 . Najprej je celotna napetost vsiljena

uporu R in začne teči tok u_1/R . Tako se na kondenzatorju začne pojavljati napetost, ki je enaka časovnemu integralu $u_2 = 1/RC \cdot \int(u_1 \cdot dt)$. Izhodna napetost je torej proporcionalna časovnemu integralu vhodne u_1 . Slabost takšnega integratorja je, da postane zelo nenatančen, ko napetost na kondenzatorju ni več zanemarljiva v primeri z u_1 . Takrat vezje integrira razliko ($u_1 - u_2$). Lastnost integriranja lahko razložimo v frekvenčnem prostoru. Poglejmo še enkrat prenosno funkcije RC-člena $H(\omega) = 1/(1 + j\omega/\omega_m)$. Če so frekvence dovolj višje od mejne ω_m dobi p.f. obliko $H(\omega) = 1/RC \cdot 1/j\omega$, kjer je $1/RC$ integracijska konstanta, drugi faktor pa predstavlja integriranje. Dogajanje pri prehajanju pravokotnih členov razložimo tako. Osnovna h.k. je dovolj nizka, da nemoteno prehaja skozi člen. Višje h.k. pa imajo zelo visoke frekvence, zato se integrirajo.

c.) CR-člen v časovnem prostoru:

Zopet je kondenzator prazen. Ko se na vhodu pojavi napetostna stopnica je prvi hip v celoti vsiljena upor R . Preko elementov teče tok u_1/R in prične polniti kondenzator. S tem se napetost na upor R zmanjša, saj velja $u_2 = u_1 - u_C$. CR-člen je torej diferencirni člen prvega reda in izvaja operacijo odvajanja nad spektralnimi komponentami signala, katerih frekvenca je izrazito manjša od ω_m , medtem ko so druge komponente višjih frekvenc lepo prepuščene.

d.) Odziv CR-člena na pravokotne impulze:

Če ima signal enosmerno komponento t.j. frekvenca 0Hz se ta komponenta zaduši in dobimo čisti izmenični signal.

Ko visoko frekvenco signala nižamo proti ω_m se najprej popači osnovna h.k., saj je najnižje frekvence. Nadaljnje manjšanje frekvence signal vedno bolj popači in ko je frekvenca enaka ω_m ne moremo več govoriti o pravok. pulzih.

3. **Parazitarne kapacitivnosti uporov**

Prisotnost parazitnih kapac. povzroča, da je impedanca realnega upora frekvenčno odvisna. Pri nizkofr. vezjih velikostnega reda nekaj 10kHz je vpliv zanemarljiv.

a.) Realnejši model ohmskega upora:

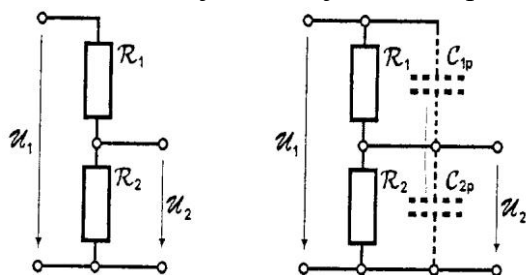
Pri višjih frekvencah pridejo do izraza parazitne kapacitivnosti in induktivnosti. Parazitna induktivnost je posledica **dimenzij upora in priključnih spenk**, parazitne kapacitivnosti pa so posledica **končnih površin dovodnih spenk**. Realnejši model upora ima zaporedno vezano induktivnost in vzporedno kapacitivnost, ker pa se vpliv kapacitivnosti kaže veliko prej, bomo uporabljali le ohmski upor z vzporedno vezavo parazitne kapacitivnosti.

b.) Frekvenčna meja realnega upora:

Tudi tu lahko govorimo o frekvenčni meji. Definirana je kot tista frekvenca, pri kateri sta toka čez R in čez C enaka. $I_R = U/R$, $I_C = j\omega CU$. Dobimo mejno frekvenco $\omega_m = 1/RC$. **Od frekvence 0Hz pa do frekvenčne meje prevladuje ohmski značaj, nad ω_m pa kapacitivni.**

c.) Frekvenčno odvisni napetostni delilnik:

Navaden napetostni delilnik sestavljata dva realna ohmska upora. Popolno predstavo o vezju nam da naslednja slika, kjer vidimo prisotnost paraz. kapac. C_{p1} in C_{p2} .



Vidimo da imamo dve frekvenčni meji ω_{m1} in ω_{m2} , pri čemer je ponavadi ena precej nižja od druge. Dokler delilnik vzbujamo s signali frekvenc nižjih od nižje ω_m se vezje obnaša kot čisti ohmski delilnik. Od $\omega_{m1}/10$ navzgor pa se začne čutiti vpliv

parazitne kapac. C_{p1} . Najprej se opazi fazni premik, nato pa amplituda naraščati. Ko frekvenca signala preseže ω_{m1} postane vpliv C_{p1} večji od R_1 ... Tako vidimo, da je delilno razmerje pri visokih frekvencah povsem odvisno le od razmerja parazitnih kapacitivnosti in ne več od upornosti.

d.) Frekvenčna kompenzacija napetostnega delilnika:

Te probleme lahko omilimo s frekvenčno kompenzacijo. Vzoredno k uporoma vežemo kompenzacijska kondenzatorja, s katerima skušamo zagotoviti da imata oba upora isto frekvenčno mejo $\omega_{m1} = \omega_{m2}$. $R_1 C_1 = R_2 C_2$. Pri visokih frekvencah upora ne vplivata več na delilno razmerje saj njun učinek zakrije kapacitivnost. Učinek pa zakrijemo, če poskrbimo, da je delilno razmerje pri nizkih in visokih frekvencah enako $R_2 / (R_1 + R_2) = C_2 / (C_1 + C_2)$.

e.) Kompenzacija nap. delilnika v praksi:

Stremeti moramo k temu, da pogoj izpolnimo z najmanjšimi vrednostmi kompenzacijskih kapacitivnosti, saj le te nižajo impedanco, ki jo čuti vir U_1 . Upoštevati moramo, da ko je delilnik obremenjen, se impedanca bremena veže vzoredno na R_2 . Če podatkov o vrednostih paraz. kapac. nimamo, jih moramo izmeriti in s tem vnesemo v vezje dodatne parazitne kapacitivnosti.

4. Parazitne upornosti kondenzatorjev

Idealni kondenzator je idealni teoretični element, ki izkacije izključno lastnost kapacitivnosti. Realni pa se temu idealu bolj ali manj približajo. Ti odstopajo od idealnih zaradi parazitnih upornosti in induktivnosti, kjer je z induktivnosot vzrok induktivnost priključnih sponk.

a.) Parazitne upornosti kondenzatorjev:

Ločimo dve vrsti parazitnih uporanosti: **zaporedno in vzoredno**. Zaporedna uporanost R_1 je v idealu enaka $0V$, v praksi pa tega ne moremo doseči zaradi **upornosti priključnih sponk** in elektrod. Vzoredna upornost R_2 pa je pri idealnem kond. enaka neskončno, vendar te vrednosti realno ne moremo doseči zaradi **končne upornosti dielektrika**. Ta upornost povzroči, da se nabit kondenzator prazni sam od sebe tudi če je odklopljen od vezja.

b.) Poenostavitve nadomestnega vezja kondenzatorja:

Pri analizi je ponavadi dovolj, če upoštevamo le enega od uporov R_1 ali R_2 . Če sofrekvence signalov nizke je impedanca kondenzatorja velika in zaporedna uporanost postane nepomembna, ker je na R_1 zanemarljiv padec napetosti. Pri visokih frekvencah pa je situacija obratna. Impedanca kondenzatorja je majhna in zato padec napetosti na upor R_1 predstavlja opazen delež padca. V tem primeru je R_2 nepomembna, saj preko nje teče zanemarljiv tok. Definiramo lahko **zgornjo frekvenčno mejo ω_{zg}** do katere kondenzator izkazuje pretežno kapacitivni značaj. Določimo jo kot tisto frekvenco, pri kateri sta padca enaka. $\omega_{zg} = 1/R_1 * C$. Pri frekvencah, ki sovišje od ω_{zg} prevladuje R_1 in kondenzator lahko obravnavamo kot čisti ohmski upor.

Na podoben način definiramo **spodnjo frekvenčno mejo ω_{sp}** , do katere kondenzator še izkazuje kapac. značaj. Pod to mejo prevlada upor R_2 . $\omega_{sp} = 1/R_2 * C$.

V frekvenčnem območju, ki je eno ali dve dekadi višji od ω_{sp} in eno ali dve dekadi nižji od ω_{zg} lahko kondenzator obravnavamo kot čisto kapacitivnost.

Koliko lastnosti realnega kond. odstopajo od idealnega vrednostimo s faktorjem izgub, ki je enak tangensu kot delta, kjer je to fazni kot med tokom in napetostjo.

c.) Merjenje izolacijske upornosti:

Izolacijsko (vzporedno) upornost merimo tako, da jim vsilimo enosmerno napetost in merimo prečni tok, ki teče preko njih. Meritev najenostevneje izvedemo s pomočjo sonde 10x, ki ima notranjo uporanost ravno 10Mohm.

d.) Merjenje zaporedne upornosti:

Meritev izvedemo tako, da zaporedno s kondenzatorjem vežemo upor R velikostnega reda 10kohm. Vezavo vzbuja s pravokotnimi pulzi u_1 . Napetost visokega stanja naj bo 10-15V, nizkega pa 0V. Merilno vezje je dejansko RC člen, ki se ob pogoju $|u_2| \ll |u_1|$ obnaša kot integrirni člen. Če kondenzator nima zaporedne upornosti, je časovni potek napetosti u_2 zvezen, medtem ko zaporedna upornost povzroči skokovito spremembo napetosti u_2 ob skoku napetosti u_1 . Merilo za R_1 je torej velikost nezveznosti u_2 .

e.) Vplivi parazitnih elementov na delovanje vezij:

Tako parazitne upor. kond. kot tudi paraz. kap. uporov lahko zelo vplivajo na delovanje vezij. Če naprimer želimo z RC členom izničiti visokofrekvenčno motnjo se zaradi visokih frekvenc vezje obnaša kot CR-člen. Tako vezja pa frekvenc ne slabi.

Na delovanje vplivajo poleg vsega naštetega še parazitne kapac. med vodniki ter njihove upornosti in induktivnosti.

5. I/U karakteristike diod

Polprevodniška dioda je linearen element. V grobem dioda prevaja tok samo v eno smer. Ko je dioda zaporno polarizirana, smatramo, da tok preko nje ne teče. Enako velja za prevodno smer, če je prevodna pritisnjena napetost manjša od kolenske, tedaj dioda ne prevaja. Ko je napetost večja od kolenske, takrat se dioda odpre in tok zelo hitro narašča.

Velja pa, da pri realni diodi, če ji je vsiljena zaporna napetost, vseeno teče preko nje nek tok končne vrednosti. Ko zaporna napetost doseže vrednost prebojne napetosti, prične tok strmo naraščati. (prebojne nap. so reda 50V, pri močnostnih celo nekaj kV). to diodo običajno uniči z izjemo Zener diod.

Tudi v prevodni smeri situacija odstopa od idealne. Dokler je prevodna napetost zelo majhna in ne doseže kolenske (0.5V) je tok zelo majhen, nato pa strmo narašča. Velja približno pravilo, da vsako zmanjšanje prevodne napetosti za 60mV povzroči zmanjšanje toka za faktor 10. Če karakteristiko izrišemo na logaritemski skali dobimo premico, kar pomeni, da ima karakteristika eksponentno obliko. Vidimo tudi, da dioda ne zapirapri nobeni prevodni nap. le da so pod kolensko tokovi zelo majhni. *To lepo pokaže primer polnenja kondenzatorja, kjer se kondenzator napolni do konca.*

Kolenska napetost je namišljena veličina, ki ostaja v našem razmišljanju zaradi načina dojemanja exp karakteristike.

a.) Temperaturna odvisnost diodne karakteristike:

Navadno so karakt. navedene pri temperaturi 25°C, podan pa je tudi temperaturni koef. - 2,1mV/K. Z večanjem temperature se kolenska napetost niža, graf se torej pomika levo. Temperatura ima velik vpliv tudi na zaporni tok, saj se le ta povečuje eksponentno. Povečanje temperature za 10°C podvoji zaporni tok.

b.) Napetostno in tokovno krmiljenje diode:

Denimo da želimo, da preko diode teče tok 0.6mA s pričakovano temperaturo 25°C. S karakteristike razberemo, da ima dioda v izbrani delovni točki $U=0.64V$. Napetostno krmiljenje ne zagotavlja stabilnega delovanja, ker ob priklopu napetosti 0.64V je temp kristala enaka 25°C in preko diode teče tok 0.6mA. Posledica toka in napetosti so Joulske izgube $P=U \cdot I$. Ker se

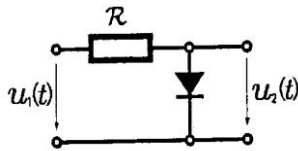
karakteristika premakne v levo pri isti napetosti dobimo veliko večji tok, kar še dodatno poveča Joule izgube. Pojav imenujemo termični pobeg. Tokovno krmiljenje diode izkazuje stabilno delovanje. Priklop diode na tokovni vir Povzroči enake izgube, le da je pri item toku tedaj napetost manjša, kar izgube pomanjša.

c.) Svetilne diode:

Imajo enako karakteristiko, le da imajo drugačne številke vrednosti kolenske napetosti. Širina prepovedanega območja dejansko določa valovno dolžino oddane svetlobe.

6. Napetostni omejljik in izvor

Z ustrežno vezavo diode in upora realizirajmo napetostni omejljik. Če je vhodna napetost u_1 negativna je dioda zaporno polarizirana in preko nje niti upora tok ne teče. Tako na uporu ni padca napetosti in izhod je enak vhodu $u_2 = u_1$. Ko pa u_1 presega kolensko napetost diode, tok diode močno naraste kar povzroči velik padec na uporu R , zaradi katerega se izhodna napetost u_2 le malo povečuje, tudi če u_1 povečujemo zelo.



Če je napetost na diodi $0.54V$ je tok čez diodo $0.01mA$ in padec na uporu $10mV$. To pomeni, da mora vir dajati $0.55V$. Nadalje, za izhodno napetost $0.66V$ je tok $1mA$ in padec $1V$ na uporu. Tako je potrebna vhodna u_1 $1.66V$... Pri izhodu $0.72V$ je vhodna kar $10.72V$.

Takšno vezje uporabimo za zaščito vhodne stopnje ojačevalnika. Če želimo omejiti pozitivno in negativno smer, vežemo dve nasprotni si diodi.

a.) Napetostni izvor:

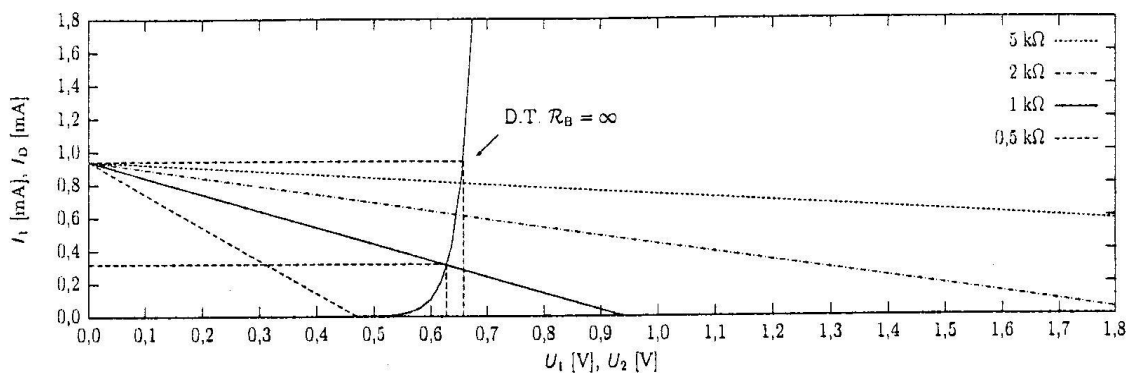
Gornje vezje lahko uporabimo tudi za napetostni izvor. Vemo da je v območju vhodnih napetosti ki so višje od npr $2V$ izhodna napetosti le malo odvisna. Napetostni izvor torej naredimo tako, da na vhod omejljnika pripeljemo napetost le nekoliko višjo od kolenske. V mnogih primerih vhoda napetost ni stabilna, zanima pa nas kolko bolj je izhodna stabilna od vhodne, kar vrednostimo s faktorjem stabilizacije.

Imamo nek signal, s srednjo (nazivno) vrednostjo U_0 , ki niha. V določenem časovnem intervalu je maksimalni razpon Δu . Stabilnost $\sigma_u = U_0 / \Delta u$. **Faktor stabilnosti pa pove kolikokrat je izhodna bolj stabilna od vhodne $S_{u1u2} = \sigma_{u1} / \sigma_{u2}$.**

b.) Vpliv bremena in Theveninovo nad. vezje:

Dokler breme ni priklopljeno je tok I_1 enak toku čez diodo I_D . Vhodna napetost U_1 in kolenska U_k določajo delovno točko. $I_1 = (U_1 - 0.6V) / R$. Natančnejšo vrednost določimo z delovno premico. Presečišče premice z absciso določa vhodna napetost. Presečišče z ordinato pa je tok, če je $U_2 = 0V$ in je celotna vhodna napetost vsiljena uporu R . Preko delovne točke grafično določimo tok I_1 in napetost U_2 .

Prisotnost bremena pa povzroči, da tok I_D ni več enak toku I_1 ampak razliki $I_1 - I_b$. Ob priklopu



breme na se torej tok preko diode zmanjša. Manjš

anje toka pa ima za posledico manjšanje napetosti U_2 . Prikazane so 4 premice različnih bremenskih uporov R_b . Vse sekajo ordinatno os pri vrednosti toka I_1 neobremenjenega vira. Presečišče z absciso določa padec na upor R_b če cel tok I_1 teče skozi njega. Razviden je vpliv bremena na izhodno napetost. Presečišče premice R_b in karakteristike diode določa izhodno napetost. Manjšanje R_b povzroči manjšanje izhodne napetosti. Vzemimo premic 1kohm. Izhodna napetost je 0.63V, kar je za 0.03V zmanjšana napetost odprtih sponk. Tok je 0.32mA. Iz the podatkov lahko izračunamo **Theveninovo notranjo upornost**, $R_t = -dU_2/dI_b = -\Delta U_2/\Delta I_b$.

c.) Theveninovo nad. vezje diode:

Če diodi priredimo Theveninovo nad. vezje, lahko le tega uporabimo za določitev nad. vezja napetostnega izvora. Parametra Th. nad. vezja dobimo tako, da I/U karakteristiki včrtamo tangento v izbrano delovni točki. Presečišče tangente z absciso določa Theveninovo napetost. Strmina pa je enaka obratni vrednosti Th. upornosti.

d.) Uporabno območje napetostnega izvora:

Kaj se zgodi, če je R_b tako majhen, da diodni tok pade na 0mA. Notranja upornost napetostnega izvora se močno dvigne in izhodna napetost se izrazito seseda. Vsi napetostni izvori imajo neko zgornjo mejo obremenitve.

7. Napetostni izvor z Zener diodo

Slabost prejšnje izvedbe je omejen nabor napetosti, ki jih lahko izvedemo. Na voljo so nam le mnogokratniki kolenske napetosti. Druga slabost pa je relativno nestabilna in neprecizna izhodna napetost, kar je posledica premalo strme karakteristike. Z porabo Zener diode lahko omenjene pomanjkljivosti odpravimo. Tudi Zener dioda se v prevodni smeri obnača identično kot Si dioda, pri obratni polarizaciji je situacija drugačna.

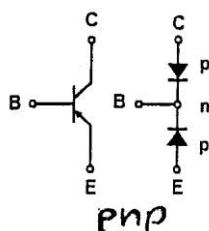
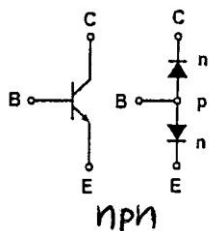
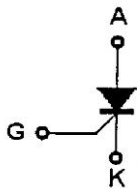
Prva prednost izvora z Zener diodo je, da imamo na voljo mnogo vrednosti prebojnih napetosti. Temeljijo na dveh različnih prebojih. Prvi je **Zennerjev preboj** in prevladuje pri diodah s kolensko napetostjo do 5V, **plazoviti preboj** pa pri višjih.

Plazoviti preboj povzroča bolj strmo karakteristiko od Zennerjevega kar omogoča realizacijo kvalitetnejših napetostnih izvorov.

Značilnost I/U karakteristike je, da se strmina povečuje s tokom v delovni točki. Prebojna napetost Zener diode je temperaturno odvisna zato tudi ta vir ni precizijski. Ima pa Zennerjev preboj negativni T koeficient, tako kot kolenska napetost, plazoviti preboj pa pozitivnega. To pa omogoča izdelavo precizijskih temperaturno kompenziranih Zennerjevih referenčnih elementov tako, da damo v ohišje eno ali dve diodi s pozitivnim in eno ali dve diodi z negativnim Tkoef.

8. Tiristor

Večkrat naletimo na situacijo ko moramo krmiliti ali regulirati moč porabnikov, ki so priklopljeni na omrežje (sesalnik). Tiristor je polprevodniški element s pogojenim vklopom, ki to omogoča. Priključne sponke so anoda A, katoda K in vrata G. Da bi tiristor prevajal, mora biti anoda na zadosti višjem potencialu. Drugi pogoj pa je, da s tokovnim pulzom preko sponke G prožimo vklop. Ko je tiristor enkrat prožen, sponka G nima več vpliva. Izklop se zgodi šele, ko se tok preko anode in katode spusti pod določen nivo (držalni tok). Pri izmeničnih porabnikih se izklop vrši avtomatično.



9. Bipolarni tranzistor

Tranzistor je polprevodniški element, s katerim

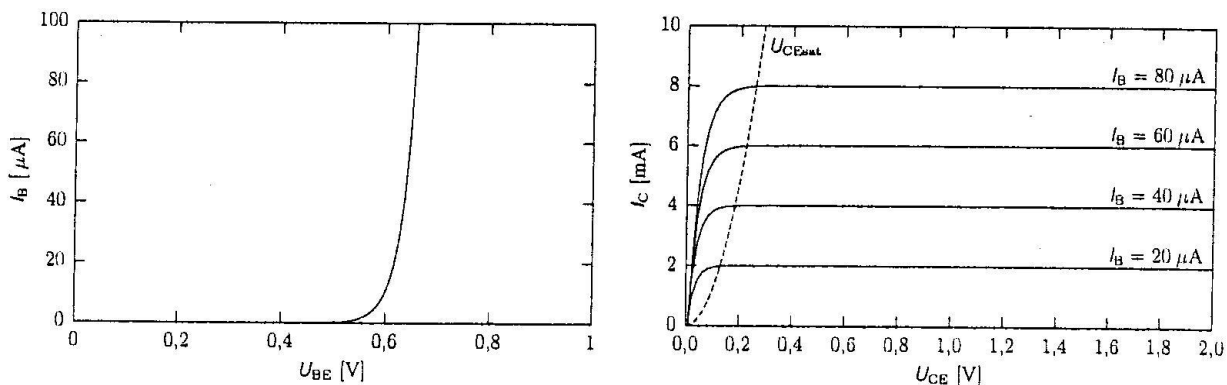
izvedemo mnogo električnih funkcij, napetostno in tokovno ojačevanje signalov, močnostna stikala in elektronsko logiko. Delijo se na **unipolarne in bipolarne**.

Bipolarni tr. so elementi s tremi priključnimi sponkami. emitor E, kolektor C in baza B. Delijo se na dv atipa **nnp in pnp**. Sestavljeni so iz treh plasti polprevodnikov, zato jih sestavljata dva pn spoja **bazno-emitorski in bazno-kolektorski** pn-spoj. Npn tranzistorji izkazujejo nekoliko boljše električne lastnosti in dosegajo višje frekvenčne meje in večje faktorje tokovnega oječenja.

a.) Električne karakteristike:

Prva karakteristika je vhodna karakteristika in jo podaja odvisnost baznega atoka I_b od U_{BE} . Gre za diodno karakteristiko, zato je odvisnost eksponentna.

Vhodna notranja upornost r_1 je po definiciji odvod vhodne napetosti u_1 in vhodnega toka i_1 ali pa kar $r_1 = \Delta u_1 / \Delta i_1$. Vhodno notranjo upornost merimo med bazno in emitorsko sponko, zato je rbe. Grafično ugotovimo, da je pri višji napetosti U_{BE} oz pri višjem toku I_b karakteristika bolj strma in rbe nižja.



Izhodna karakteristika pa podaja odvisnost kolektorskega toka I_c od napetosti U_{ce} . Iz grafa vidimo, da je napetost U_{ce} pozitivna, zato je U_{bc} negativna in bazno-kolektorski pn-spoj je zaporno polariziran. To je običajni režim delovanja.

Kolektorski tok I_c je neodvisen od napetosti U_{ce} , če je U_{ce} večja od $U_{ce(sat)}$! Tako se kolektorska veja obnaša kot tokovni izvor in takšnemu režimu delovanja pravimo aktivno področje.

V primeru, da je U_{ce} manjša od $U_{ce(sat)}$ kolektorska veja ne izkazuje lastnosti tokovnega izvora in tranzistor je v področju nasičenja. Tu je karakteristika kolektorske veje bolj podobna napetostnemu izvoru, saj U_{ce} relativno malo menja svojo vrednost v odvisnosti od toka I_c . Opazimo tudi, da je vrednosti $U_{ce(sat)}$ odvisna od toka I_c , saj z vrednostjo le tega narašča. Včasih je nizka $U_{ce(sat)}$ ključnega pomena, saj je večina Joulskih izgub vezana na produkt $U_{ce} * I_c$.

b.) Faktor tokovnega ojačenja:

Izhodna karakteristika razkriva še tole. V aktivnem področju je kolektorski tok I_c krmiljen z baznim tokom I_b . Tu lahko govorimo o faktorju tokovnega ojačenja $\beta = I_c / I_b$. Ponavadi je ta faktor okrog 100. Ohlapno velja, da imajo močnostni tr. 30-50, srednje močnih 40-150 in signalnih tr. 100-900.

c.) Notranja prevodnost kolektorske veje:

V resnici kolektorski tok ni odvisen samo od baznega toka ampak tudi od napetosti U_{ce} . Ker

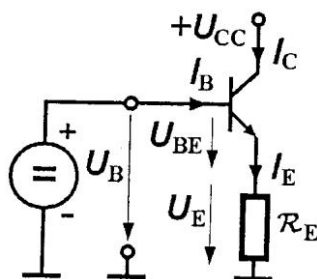
včasih potrebujemo čim idealnejši tokovni vir je odvisnost toka I_c od napetosti U_{ce} nezaželena. Tok I_c z večanjem U_{ce} počasi narašča. To odstopanje od idealnih razmer pa vrednostimo z **notranjo upornostjo ali prevodnostjo** tokovnega izvora. Velja $g_{ce} = \Delta I_c / \Delta U_{ce}$.

d.) Transadimtanca:

Tranzistor lahko obravnavamo kot napetostno krmiljeni tokovni vir. Vhodna napetost U_{be} določa bazni tok I_b , ki nadalje določa tok I_c . **Transadmitanca je $g_e = \Delta I_c / \Delta U_{be}$.**

10. Delovna točka tranzistorja

Pri realizaciji tranzistorskih vezij, ko deluje v aktivnem področju, izkoriščamo lastnost



tranzistorja, da njegov bazni tok I_b krmili kolektorski tok I_c . I_b je odvisen od U_{be} . To ima za posledico relativno veliko temperaturno odvisnost baznega in kolektorskega toka.

Delovno točko stabiliziramo na več načinov, najpogosteje s **tokovno povratno zvezo**. Ideja je v tem, da signal ne vsiljuje neposredno napetosti U_{be} ampak bazno napetost U_b . V emitorsko vejo tako vgradimo upor R_e , ki mogno zmanjša vpliv temperature. Kolektor je napajen z U_{cc} , ki mora biti večja od U_b . Da je tranzistor odprt mora biti U_b večja od kolenske $U_{be} = 0.6V$, npr $U_b = 5V$. Če bi bila takšna

napetost direktno vsiljena med bazo in emitor bi tranzistor pregorel zaradi ogromnega I_b . Tu pa se nahaja upor R_e , ki nase prevzame del napetosti U_b . Vidimo, da je $U_b = U_{be} + U_e$.

Ob začetku naj bo tranzistor zaprt. Toka preko upora R_e ni in ni padca. Posledično je $U_{be} = U_b = 5V$. Tranzistor se prične močno odpirati in pojavita se I_b in I_c . Vsota obeh teče v emitor in skozi upor R_e . To povzroči dvig U_e in s tem manjšanje U_{be} . Če je napetost U_{be} veliko večja od kolenske tečejo preko tranzistorja veliki tokovi, kar povzroča dvih U_e . Edino možno stanje je, da je $U_{be} = 0.6V$ enaka kolenski napetosti.

Boljši vpogled v določanje dobimo z grafično določitvijo delovne točke. Potrebujemo odvisnost toka I_e od napetosti U_{be} . $I_e = I_b + I_c = (1 + \beta)I_b = \beta * I_b$. V graf $I_e(U_{be})$ vrišemo premico upora.

a.) Vpliv vhodne napetosti na d.t.

Zanima nas, kako se premakne d.t. če se napetost U_b spremeni. Ko rišemo delovno premico v graf, na ordinati seka premica pri vrednosti U_b / R_e . Če se napetosti U_b spreminja, se premica premika navzdol. Ugotovimo, da je napetost U_{be} le malo odvisna od U_b , to odvisnost pa lahko vrednostimo s faktorjem stabilizacije S .

Vzamemo $U_b = 5V$ in $\Delta U_b = 2V$. Sledi $\sigma_{U_b} = 2.5$. Nominalna vrednost $U_{be} = 0.64$ in $\Delta U_{be} = 0.015V$, kar da $\sigma_{U_{be}} = 42.7$. Tako je $S = 17.1$.

b.) Vpliv emitorskega upora na d.t.:

Podobno analiziramo tudi vpliv upora R_e na d.t. Če se upor spreminja, se spreminja naklon premice. Ugotovimo, da se vrednost abscise spreminja zelo malo, in ponovno velj, da je vrednost U_{be} le malo odvisna od R_e .

c.) Vrednost kolektorskega toka:

I_c je približno enak I_e . $I_c = I_e = U_e / R_e = (U_b - U_{be}) / R_e = (U_b - 0.6V) / R_e$. Za razliko od napetosti U_{be} I_c znatno spreminja v odvisnosti od U_b in R_e . To pa je zaželeno, saj je bistvo obravnavanega vezja da z vhodno U_b krmilimo izhodni tok I_c . Upor R_e pa določa velikost spremembe I_c ob spremembi U_b .

d.) Vpliv temperature:

Želimo, da je kolektorski tok I_c določen le z napetostjo U_b in uporom R_e . Če upora R_e ni, je I_c močno odvisen od temperature. Vgradnja upora R_e pa zmanjša vpliv temperature. Tranzistor, ki je segret na 25°C se nahaja v d.t. ki jo določata U_b in R_e oz. I_c . Če se tranzistor segreje na npr. 75°C bo pri isti napetosti tok I_{c1} občutno večji od toka I_c pred spremembo temperature. To pa ima za posledico večjo U_e in zmanjšanje U_{be} , s čimer se tok I_{c1} zmanjša.

e.) Vhodna notranja upornost:

V mnogih primerih uporabe je pomembno, da vemo kolikšna je notranja upornost r_1 . Ta podatek nam pove, koliko je obremenjen izvor napetosti U_b , ki izkazuje lastno Theveninovo notranjo upornost in tokovno omejitvev.

Pri prejšnji nalogi smo definirali vhodno notranjo upornost kot odvod vhodne napetosti u_1 po vhodnem toku i_1 .

Zelo pomembna lastno tega vezja je, da je I_b mnogo manjši od I_e in jo izkoriščamo pri izdelavi močnostnih ojačevalnikov.

Vhodno notranjo upornost določimo tako, da naredimo spremembo U_b in pogledamo tok I_c .

11. Tokovni izvor s tranzistorjem

Pri uporabi tokovnega izvora želimo z vhodno napetostjo nastavljanje tok, ki je vsiljen bremenu. Neugodna lastnost tr. je, da je kolektorski tok določen z napetostjo U_{be} , ker vodi v temp nestabilnost. Zato dodamo v emitorsko vejo upor.

Potrebujemo le še ustrezno izvedbo bazne napetosti, kar lahko storimo z napetostnim delilnikom ali Zenner diodo.

a.) Izvedba bazne napetosti z napetostnim delilnikom:

Delilnik je napajan z U_{cc} , zato dobimo $U_b = R_2 / (R_1 + R_2) * U_{cc}$. Ko delilnik preklonimo na bazo prične teči tok I_b in ta poruši delilno razmerje. Če notranja upornost delilnika ni vsaj 10x manjša od vhodne upornosti tranzistorja bo prišlo do sesedanja U_b , zato moramo upore pravilno izbrati in upoštevati tudi Joulske izgube.

b.) Nortonov tok tokovnega izvora:

Ko je U_b določena, je pri znanem uporu R_b določen tudi tok I_c . Ker pa v kolektorski veji ni bremena je rezultirajoči tok dejansko Nortonov tok.

c.) Nortonova notranja upornost tokovnega izvora:

Ob priklopu bremena v kolektorsko vejo se razmere spremenijo. Ker imamo opravka s tokovnim izvorom želimo, da upornost upora R_c čim manj vpliva na I_c . Pri konstantnem toku I_c , bi z naraščanjem R_c rasla tudi U_{rc} , kar povzroči zmanjšanje napetosti U_{ce} , saj velja $U_{ce} = (U_{cc} - U_e) - U_{rc}$. Ker pa vemo, da sprememba U_{ce} vpliva na tok I_c izračunamo **notranjo upornost $r_2 = -\Delta U_{rc} / \Delta I_c$** .

Pričakovali bi, da je notranja upornost tokovnega vira enaka kot ranji upornosti tranzistorja, vendar temu ni tako. Izkaže se, da emitorski upor R_e s tokovno povratno zveo zopet ugodno vpliva tudi na ta parameter. *Naj se tokovni vir nahaja v kratkem stiku. Ob priklopu bremena se napetost U_{ce} zmanjša za ΔU_{ce} , kar povzroči, da pade tok I_c . Posledica je, da pade I_e in se poveča U_{be} , kar zopet zveča I_c .*

Notranjo upornost tokovnega vira r_1 izračunamo $r_1 = r_{ce} * (1 + \beta * R_e / (r_{be} + R_e))$. Notranja upornost tokovnega vira je približno za β večja od upornosti tranzistorja.

d.) Obremenljivost tokovnega vira:

Zanima nas, kolikšen je največji bremenski upor, ki ga lahko priključimo na tokovni izvor, da ta

še deluje zadovoljivo. Pri majhnih vrednostih R_c je I_c konstanten, pri večanju R_c pa se tok I_c prične hitro sesedati. To je meja ko govorimo o maksimalni obremenljivosti izvora, saj $I_c \cdot U_{rc}$ predstavlja moč, ki jo tokovni vir dovaja bremenu. Ko R_c narašča, ustrezno narašča tudi potrebna moč. Tik preden se tokovni vir sesede doseže R_c vrednost ko vir dovaja uporabo maksimalno moč.

Z večanjem upora R_c , se mora za ohranitev konstantnega toka I_c večati padec napetosti na njem. Ker potencial emitorja ostaja približno konstanten, se mora ustrezno zmanjšati napetost U_{ce} . Ko le ta doseže napetost U_{cesat} , tranzistor preide v stanje nasičenja in nadaljnje manjšanje U_{ce} ni možno. Pri večanju upora R_c preko te meje se konstanten tok ne more več vzdrževati.

e.) Izvedba z Zenner diodo:

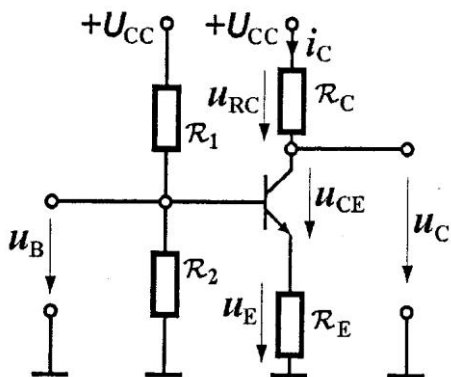
Prejšnja izvedba ima pomanjkljivost, da je Nortonov tok močno odvisen od U_{cc} , ker imamo napetostni delilnik. Pojav lahko zmanjšamo, če napetost U_b generiramo z diodo.

12. Tranzistorski napetostni ojačevalnik

Vežje je linearni ojačevalnik, če se izhodna napetost spreminja sorazmerno z vhodno napetostjo, pri čemer je sorazmernostna konstanta med obema večja od 1.

a.) Princip napetostnega ojačevalnika:

Bistvo delovanja je prav v tokovnem viru. Tok I_c je napetostno krmiljen in sprememba I_c je proporcionalna napetosti U_b . Če tokovni izvor priklopimo na konstantno breme R_c . Sprememba izhodne napetosti je proporcionalna spremembi vhodne.



$\Delta u_c = -R_c/R_e \cdot \Delta U_b$. Če je $R_c > R_e$ dobimo napetostni ojačevalnik z napetostnim ojačenjem $A_u = -\Delta u_c / \Delta U_b = R_c/R_e$. Ker pa dvig vhodne napetosti povzroči padec izhodne in obratno gre za invertirajoči ojačevalnik, fazni zamik je torej 180° (reš: izvedemo 2 ojač).

b.) Dimenzioniranje napetostnega ojačevalnika:

Naj je ojačevalnik napajan z $U_{cc} = 12V$ in $A_u = 2$. Izberemo še $R_e = 1k\Omega$ in $R_c = 2k\Omega$. Najprej določimo delovno točko z ustreznim delilnim razmerjem.

Če izberemo $R_1 = R_2$, dobimo razmerje $1/2$ in vežje ne deluje pravilno. Napetost $U_b = 6V$ in $U_e = U_b - 0.6 = 5.4V$. Preko emitorske veje teče tok $I_e = U_e / R_e = 5.4mA$. Tako je padec napetosti na R_c $U_c = I_e \cdot R_c = 10.8V$. Tako je vsota $U_e + U_{rc} = 16.2V$, kar je več od napajalne U_{cc} in tako stanje ni mogoče.

Napetost U_b moramo zmanjšati, npr. $U_b = 2V$. Sledi $U_e = 1.4V$, $I_e = 1.4mA$, $U_{rc} = 2.8V$ in $U_e + U_{rc} = 4.2V$. Vemo da za delovanje mora veljati $U_{cc} - U_{rc} - U_e > U_{cesat}$. Vprašanje pa je, ali je napetost U_b optimalna. Če se U_b spusti pod $0.6V$ se tranzistor zapre. Padec na R_c je $0V$ in izhodna napetost je enaka U_{cc} , kjer vežje izgubi svoje ojačevalne lastnosti. Pri naraščanju U_b pa se niža U_{ce} , ki pa se ustavi pri U_{cesat} . Pod to mejo vežje zopet ne deluje. Najbolje dimenzionirana U_b je na sredini tega območja U_{bmin} in U_{bmax} .

$U_c = U_{cc} - R_c \cdot I_c$ in $U_{ce} = U_c - U_e$, $U_b = R_e \cdot (U_{cc} - U_{ce}) / (R_c + R_e) + 0.6V$. $U_b = (U_{bmax} + U_{bmin}) / 2$.

Optimalna napetost U_b je odvisna od napajalne in napetostnega ojačenja, ne pa tudi od vrednosti uporov, kar nam omogoča izračun U_b preden izberemo vrednosti uporov.

c.) Dimenzioniranje emitorskega in kolektorskega upora:

Pri izbiri R_e in R_c ni enoumne rešitve. Ponavadi najprej določimo R_e , ki pri znani U_b določa I_c .

Problematika tu obsega: poraba energije, ki narašča s tokom v d.t., višji kol. tok je višja fr. meja, Večji I_c , ki zahteva manjši R_c pa niža izhodno notranjo uporanost in s tem vhodno.

d.) Lezenje:

Je pojav, ko se izhodna napetost ojačevalnika spreminja po času kljub temu, da je vhodna konstantna. To je posledica spreminjanja elementov vezja, ki so vpliv fizike in okolice.

Najpomembnejša vplivna veličina je temperatura, kateri so podvrženi vsi elementi. Vsaka sprememba enega od elementov ima za posledico spremembo veliko drugih. $R_e \rightarrow I_c$, $R_c \rightarrow U_{rc}$, $R_1, R_2 \rightarrow U_b \dots$

Rezultat teh veličin sta **šum in lezenje** in vplivata na natančnost ojačevanja

e.) Problematika priklopa senorja na ojačevalnik:

Pri ojačevalniku določa napetostni delilnik enosmerno komponento napetosti U_b , s čimer je določena delovna točka tranzistorja. Problem nastane, le želimo ojačiti vhodni signal, ki pa ima drugačno enosmerno komponento.

Lahko se zgodi, da če ima senzor dosti nižjo notranjo uporsnot od vh. ojačevalnika in ima poleg tega še dovolj veliko tokovno zmogljivost, bo vhodna napetost vsiljena bazi tranzistorja. Tako bo U_b enaka vhodnemu signalu in tranzistor se bo zaprl.

V splošnem imajo senzori majhne tokovne zmogljivosti, zato je bolj verjetno, da vhodni napetostni delilnik dvigne U_b na U_b v delovni točki. To pa lahko tudi uniči senzor. Tako je jasno, da takšna izvedba priklopa ne pride v poštev.

f.) Izmenični ojačevalnik:

V primeru, da koristni signal ne vsebuje enosm. komp., lahko izvedemo kapacitivno sklopitev, tako, da pred vhod v delilnik vežemo kondenzator. Z njim odpravimo problem priklopa senzorja na ojačevalnik, saj kondenzator ne prevaja frekvence $\neq Hz$, kar je ravno enosmerna komponenta.

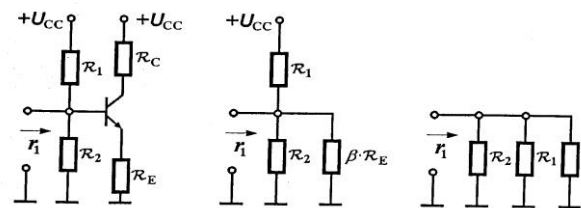
g.) Kapacitivna sklopitev izhodnega signala:

Pri vezavi izhoda ojač. na drugo vezje nastane isti problem, saj enosmerna komponenta izhodne napetosti ni enaka vhodni eosmerni komponenti drugega vezja. Zopet lahko izvedemo kapacitivno sklopitev. S tem odpravimo tudi problem lezenja.

13. **Več o napetostnem ojačevalniku**

a.) Vhodna notranja upornost:

V prvem koraku nadomestimo tranzistor z upornostjo $\beta \cdot R_e$. Po Theveninovem teoremu izklopimo vse vire in izmerimo upornost na vhodu. Dobimo $r_1 = R_1 \parallel R_2 \parallel \beta \cdot R_e$. Vhodna



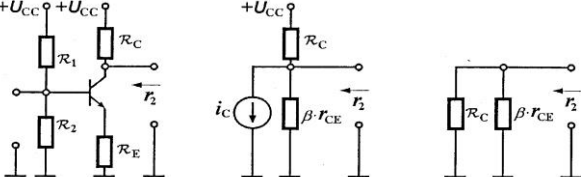
upornost je ključen podatek vsakega ojačevalnika. Le ta nam skupaj z izhodno pove, koliko se bo vhodni signal sesedel zaradi priklopa vira na ojačevalnik. r_1 naj bo čim večja.

Ko omejena vhodna upornost ni sprejemljiva, se lahko poslužimo drugim metod in sicer R_2

odstranimo.

b.) Izhodna notranja upornost:

Postopek določanja r_2 je podoben. S stališča izhodne sponke, se kolektorska veja obnaša kot tokovni vir. Tako na izhodu čutimo upornost



$r_2 = R_c \parallel \beta \cdot R_{ce} \approx R_c$. Za doseganje velikega

ojačenja in zmorno porabo energije, mora biti R_c relativno velik, kar pa pomeni, da je r_2 zelo velika, kar je nezaželeno, ker tak ojačevalnik lahko vsiljuje napeotost le zelo šibkim bremenom. Da bi lahko krmilili tudi močnostna bremena, moramo temu ojačevalniku dodati še **močnostni oz. tokovni ojačevalnik**.

c.) Kapacitivna sklopitev:

Pri kapacitivni sklopitvi je vprašanje, od katere frekvence naprej se signal u_1 nespremenjen prenese na vhod u_b . V bistvu gre za mejno frekvenco CR-člena, ki ga tvorita C_v1 in r_1 . $\omega_m = 1/C_v \cdot (R_1 \parallel R_2 \parallel \beta \cdot R_e)$. Če notranja vhodna upornost vira u_1 ni enaka 0 ohm , je potrebno izvesti Theveninov teorem na kondenzator.

d.) Aprokcimacija kapacitivne sklopitve:

Harmonske komponente signala, ki imajo frekvenco $\omega \gg \omega_m$ se pri prehodu skozi CR-člen ne spremenijo, in lahko aproksimiramo z galvansko povezavo. Harmonske komponente, ki pa imajo $\omega \ll \omega_m$ se pri pravajanju zadušijo, kar ima približno tak učinek, kot da povezave ni.

e.) Kapacitivna sklopitev izhodnega signala:

Hkrati s sklopitvijo vhodnega signala uporabimo kapacitivno sklopitev na izhodnem signalu, s čimer rešimo problem lezenja in drugih enosmernih komponent.

f.) Linearno popačenje:

Če idealni ojačevalnik vzbujamo s sinusom, dobimo tudi na izhodu sinus s skalirano amplitudo. Napetostno ojačenje je v idealu neodvisno od frekvence vhodnega signala. To pa ni realno. V resnici so različne frekvence sinusa ojačene različno, spreminja pa se tudi fazni zamik. Obema pojavoma rečemo **linearno popačenje**. Vzrok so vgrajeni ali parazitni RC, CR in LC – členi.

g.) Nelinearno popačenje:

Pri nelinearnem sistemu, če vzbujamo sistem s sinusom, na izhodu ne dobimo več sinusa. Če je nelinearno popačenje majhno je signal še vedno podoben sinusom.

S Fourierovo analizo lahko vsak periodični signal razbijemo na neskončno vsoto sinusnih signalov. Nelinearno popačenje pa je pojav, ko se čisti sinusni signal na vhodu pri prevajanju skozi nelinearni sistem popači tako, da na izhodu poleg osnovne komponente dobimo še višje harmonske. Merilo popačenja določa razmerje navideznih vrednosti višjih harmonskih komponent proti navidezni vrednosti osnovne. $K = \sqrt{\sum U_i^2} / U_1$.

h.) Ojačenje pri majhnem emitorskem upor:

V primeru, ko upor R_e manjšamo proti 0 ohm , predvideva enačbe neskončno ojačenje. V emitorski veji čutimo β -krat manjšo upornost, saj je sprememba i_c β -krat večja od i_b . Če upoštevamo dinamično upornost r_{be} bazno emitorskega spoja, ki je posledica končne strmine vhodne karakteristike, dobimo $A_u = -\Delta U_c / \Delta U_b = R_c / (R_e + r_{be} / \beta)$. Ko je upor R_e mnogo večji od R_{be} / β , prvi prevlada, v nasprotnem primeru drugi.

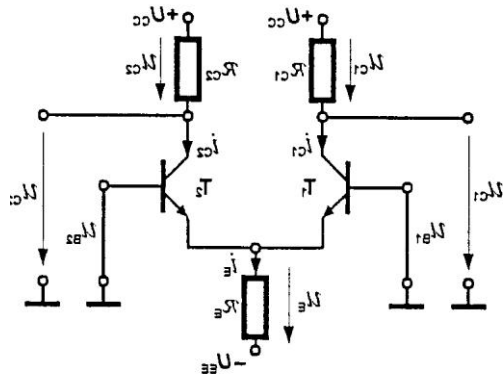
S tem je ojačenje ojačevalnika odvisno od vhodne upornosti. Pozitivne amplitude vhodnega signala so bolj ojačene od negativnih, saj z večanjem i_b , vrednost r_{be} upada.

i.) Vpliv napajalne napetosti:

Nobena napajalna napetost nima konstantne vrednosti, ker je vsaka podvržena določenim vplivom. Tokovni izvor z napetostnim delilnikom ima Nortonov tok močno odvisen od napajalne napetosti, tako smo pojav omilili z uporabo Zenner diode. Pri napetostnem ojačevalniku pa to ne pride v poštev, saj bi s tem močno zmanjšali njegovo vhodno notranjo

uporanost, s čimer vhodnega signala ne bi mogli vsiliti na bazo.

Edina možna rešitev je, da napajanje filtriramo. Uporabljajo se blokirni kondenzatorji, ki jimajo čim manjšo vrednost zaporedne uporanosti in induktivnosti. Vežemo jih med napetost U_{cc} in maso.



14. Diferencialni ojačevalnik (D.O.)

Pri bipolarnem tranzistorju smo videli, da obstajata v grobem dve oviri za njegovo uporabo v merilni in senzorski tehniki. Prva je težava zaradi prednapetosti na bazi tranzistorja, ker sta enosmerna komponenta senz. signala in bazna prednapetost različni, ne smemo izvesti galvanske priključitve. Druga težava pa nastane zaradi sprememb param. elektronskih komponent, kar povzroča lezenje. Obe težavi odpravimo z uporabo **kapacitivne sklopitve**, ki ne prevaja enosm. komp. signala, in tako dobimo izmenični ojačevalnik, kjer enosm. komp. signala in bazna prednap. ne čitita medsebojnega vpliva. To je odlična rešitev, če enosm.

signal ne vsebuje informacije, ki jo želimo meriti. Vendar prav ta je pri senzorjih ključnega pomena.

a.) Splošno o diferencialnem ojačevalniku:

Zaradi enosmerne komponente potrebujemo galvansko sklopitev senzorja na ojačevalnik. To je mogoče, če se delovna točka prilagaja enosmerni komponenti. D.O. je vezje sestavljeno iz dveh enakih tranzistorjev T1 in T2 in dveh enakih uporov R_{c1} in R_{c2} . D.O. potrebuje bipolarno napajanje med U_{cc} in U_{ee} . Vezje im adve vhodni napetosti u_{b1} in u_{b2} , ki sta galvanski povezani z bazama tranzistorjev in dve izhodni napetosti u_{c1} in u_{c2} , ki pa sta galvansko povezani z kolektorjema.

b.) Protifazni in sofazni vhod:

Imejmo oba vhoda $u_{b1}=0V$ in $u_{b2}=0V$. Če napetost enega spremenimo za npr.: $1V$ in drugega za $-1V$ govorimo o čistem protifaznem signalu. O sofaznem signalu pa izvedemo na obeh vloh in enako spremembo npr $+1V$ na obeh. V splošnem imamo razmere, ki je kombiacija obeh. Npr. iz $0V$ na obeh povečajmo oba za $+5V$ in nato protifazno za $1V$.

Sofazna komponenta $u_s=(u_{b1}+u_{b2})/2$, protifazna pa $u_d=u_{b1}-u_{b2}$. Zelo je pomembno, da je protifazna komponenta močno ojačena, medtem ko je pri sofazni komponenti ojačane precej manjše.

c.) Delovna točka ojačevalnika v izhodiščnem stanju:

Zanima nas kolikšne vrednosti zavzamejo vsi tokovi in napetosti v vezju. Če sta tranzistorja zaprta je $i_e=0A$ in s tem $u_e=0V$ in je $U_{ee}=-15V$ to pomeni, da je $U_{be}=+15V$. Ker takšno stanje ni mogoče sta tranzistorja odprta. Vemo, da se U_e vedno nahaja nekje v okolici kolenske napetosti $0.6V$, s čimer je določena napetost $u_e=14.4V$, tok $i_e=1.44mA$.

Ko imamo poznani u_e in i_e lahko izračunamo ostale napetosi in toke. Zaradi simetrije se i_e porazdeli enako med oba tranzistorja in pri zanemaritvi baznega toka sta kolektorska toka $i_{c1}=i_{c2}=0.72mA$, ki določata tudi izhodni napetosti $u_{c1}=u_{c2}=U_{cc}-R_c*i_c=15V-7.2V=7.8V$.

Kljub temu, da sta bazi na potencialu $0V$ sta tranzistorja odprta, ker je emitorska veja napajana z negativno napetostjo.

d.) Sofazno ojačenje:

Pove nam za koliko se spremenita napetosti obeh kolektorjev Δu_{c1} in Δu_{c2} ob sofazni spremembi na vhodu, kjer naredimo sofazno spremembo Δu_s . Označimo ramerji $A_{us1} = -(\Delta u_{c1})/(\Delta u_s)$ in $A_{us2} = -(\Delta u_{c2})/(\Delta u_s)$. Dobimo sofazno ojačenje $A_{us} = (A_{us1} + A_{us2}) / 2 = (R_{c1} + R_{c2}) / 4R_e$.

e.) Protifazno ojačenje:

Če se na vhodu protifazna napetost spremeni za Δu_d se izhodni spremenita za Δu_{c1} in Δu_{c2} . S tem se celotni izhod spremeni za $\Delta u_c = \Delta u_{c1} - \Delta u_{c2}$. Protifazno ojačenje definiramo kot $A_{up} = -(\Delta u_c) / (\Delta u_d)$. Protifazno ojačenje je precej večje od sofaznega, zato je potrebno vzbujenje z manjšimi signali. Vzemimo, da izvedemo protifazno spremembo $\Delta u_b = 0.01V$ in ker sta emitorja vezana skupaj sta napetosti u_{be1} in u_{be2} različni, s tem pa porušimo simetrijo. Dvig napetosti u_{be1} povzroči povečanje toka i_{c1} in zmanjšane u_{be2} ...zmanjšanje i_{c2} . Predpostavimo da gre za enako spremembo i_c in s tem ostane tok i_e in u_e enaka. Pri vzbujanju s protifaznim signalom tranzistorja čutita, kot da v emitorski veji ni R_e .

f.) Rejeksijski faktor:

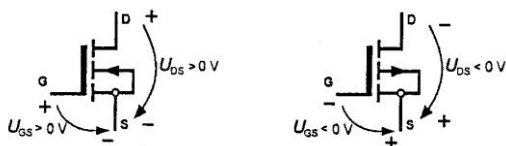
D.O. naj bi imel čim večje protifazno ojačenje in čim manjše sofazno ojačenje. Razmerje obeh podaja **rejeksijski faktor** $G = CMRR = A_{up}/A_{us}$, ki določa kvaliteto D.O. Velike rejeksijske faktorje potrebujemo v senzorski tehniki. Pomembna je že prej omenjena simetrija v vezju in da sta oba tranzistorja na isti temperaturi, zato se danes uporablja D.O. v integrirnih vezjih. Če se simetija poruši, to deluje kot nek sofazni signal. Ker želimo čim večji faktor G , nam je omogočeno, da ga povečamo. Najprej poskusimo še pomanjšati sofazno ojačenje in sicer z zmanjšanjem R_c ali pa povečanjem R_e .

g.) Napetostni premik:

Je napaka D.O., ki v mnogih primerih omejuje preciznost. Napetostni premih U_{off} je protifazna napetost u_d , ki jo moramo priklopiti na vhod, da je napetost na izhodu $\Delta u_c = 0V$.

15. MOSFET tranzistor

FET (field effect transistor) tranzistorji se delijo na **n kanalne** in **p kanalne** FET (analogno pnp, npn). V grobem je razlika samo v zamenjavi polaritet vseh napetosti in tokov na priključnih sponkah. Delijo se v tri družine: spojni FET (junction FET, JFET); MOSFET (metal oxide semiconductor FET) z vgrajenim kanalom; MOSFET z induciranim kanalom.



FET tranzistorji so elementi s tremi priključnimi sponkami: S-source, G-gate, D-drain. Z napetostjo U_{gs} med sponkama G in S krmilimo ponorski tok.

FET-e lahko uporabimo za iste funkcije kot bipolarne, le da se razlikujejo v karakteristikah in principu delovanja. Velika prednost FET-a je **velika notranja vhodna upornost** in **izredno majhen tok, ki teče preko krmilne elektrode**. Fizikalno delovanje FET-ov ne zahteva nobenega krmilnega toka, za razliko od bipolarnega. A kljub temu parazitni tok preko krmilne elektrode obstaja, opaznejši pa je dinamični tok preko istih vrat G, ki nastane zaradi parazitnih kapacitivnosti med G in DS.

Druga prednost je **večja notranja upornost ponorske veje**, v primerjavi z kolektorsko pri bipolarnih tr. Tako nam FET omogočajo izdelavo bistveno kvalitetnejših tokovnih virov. Slabost FET pa je manjša transadmitanca oz. razmerje med $\Delta i_d / \Delta u_{gs} \ll \Delta i_c / \Delta u_{be}$. Druga težava pa je dejstvo, da so električni parametri FET slabo predvidljivi in se pri dveh tranzistorjih

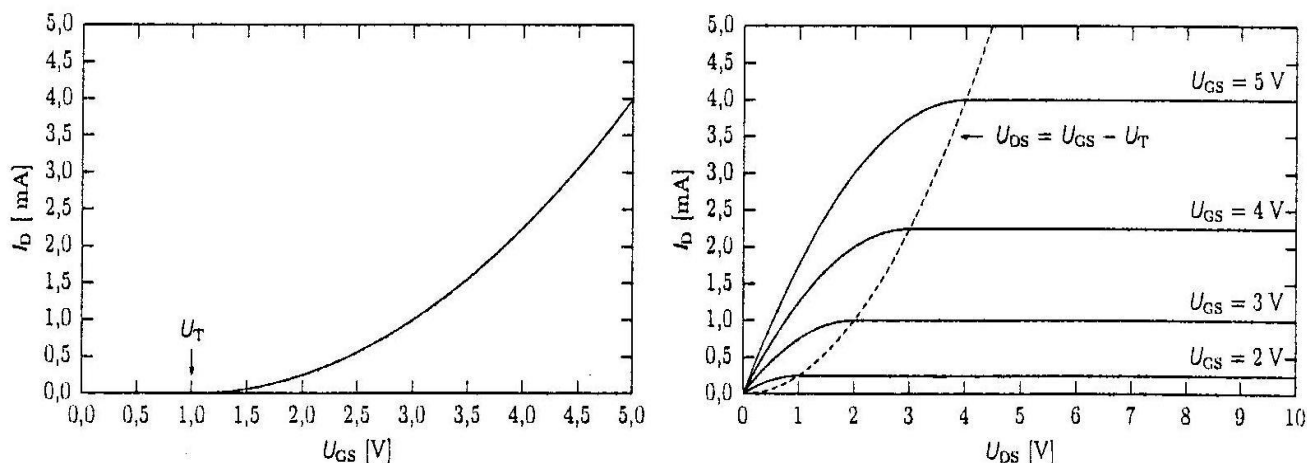
istega tipa lahko močno razlikujejo, kar otežuje načrtovanje vezij.

Prednosti bipolarnih tranz. se kažejo pri precizijskih D.O., saj z njimi dosežemo manjši napetostni premik, kar je posledica večje predvidljivosti. Po drugi strani pa imajo FET D.O. več velikostnih redov manjša vhodna tokova, kar povzroča manjša padca napetosti na impedancah vhodnega vezja.

FET-i so popolnoma izpodrinili bipolarne v digitalnih vezjih, saj z njimi lahko izdelamo CMOS logične celice, kjer se energija troši samo ob spremembah stanj, hranjanje je nepotratno. Pri TTL logičnih vezjih izdelanih z bipolarnimi tr. pa to ni mogoče.

a.) Električne karakteristike:

Izmerili bomo **vhodno (levo) $I_D(U_{GS})$** in **izhodno (desno) $I_D(U_{DS})$** I/O karakteristiko n



kanalnega MOSFET z induciranim kanalom.

Karakteristiki sta analogni bipolarnemu tr. toda opazimo da pri vhodni karakteristiki ne merimo toka vrat I_G ampak ponorski tok I_D . Razlog je, da I_G ni potreben za delovanje tranzistorja ampak je parazitni pojav in je v idealu 0A.

Transadmitanca je $g_s = (\Delta I_D / \Delta U_{GS})$, ki pove koliko se spremeni tok I_D ob spremembi napetosti U_{GS} . Vhodna karakteristika ima bolj obliko kvadratne parabole kot pa eksponentno, kot pri bipolarnem tr., zato ima FET tudi bistveno manjšo transadmitanco (počasnejše naraščanje). Opazimo, da se tok I_D pojavi šele, ko U_{GS} preseže pragovno napetost U_T (treshold), ki je približno 1V (analogno 0.6V). Če smo pri bipolarnem tranzistorju trdili, da je kolenska napetost namišljena meja med zapiranjem in prevajanjem tukaj ni tako. **Pragovna napetost U_T je resnična meja prevejanja**, ker pri manjših U_G ni prevodnega kanala. Napetost U_T pa se zelo močno razlikujemed različnimi tipi MOSFET (1V-3V).

b.) Izhodna karakteristika:

Desno pa vidimo odvisnost toka I_D od U_{DS} pri konstantni napetosti U_{GS} . Če je vrednost U_{DS} večja od razlike $U_{GS} - U_T$ je tok I_D približno odvisen le od U_{GS} . Velika prednost FET je dosti manjša odvisnost toka I_D od U_{DS} , kar je posledica veliko večje notranje uporanosti $r_{DS} \gg r_{CE}$. Če je napetost U_{DS} manjša od razlike $U_{GS} - U_T$ se tranzistor nahaja v **ohmskam področju delovanja**, kjer se kanal med sponkama D in S obnaša približno kot napetostno krmiljeni ohmski upor, saj tog I_D skoraj linearno narašča, kar je razvidno iz grafa.

Omenili pa smo, da je ohmski tok preko vrat G zelo majhen. Karakteristika vhodnih sponk im apredvsem kapacitivni značaj. Vrata G so narejena iz prevodnega materiala (Al) in elektroda G je ločena od kanala s plastjo Si dioksida (stekla), s stališča vrat se struktura torej obnaša kot kondenzator. Kadarkoli se spreminja u_{GS} , teče preko vrat G kapacitivni tok zaradi parazitne

kapacitivnosti C_{gs} .

16. Delovna točka FET tranzistorja

Pri bipolarnem tranzistorju smo s pomočjo emitorskega upora določili in stabilizirali delovno točko in tako določili osnovni vezje za tokovni izvor oz. napetostni ojačevalnik. Pri FET-u ki deluje v področju nasičenja (analogno aktivnemu področju), želimo, da je tok I_d krmiljen samo z vhodno napetostjo U_{gs} brez vpliva napetosti U_{ds} in temperature. To je že samo po sebi pri FETu izpolnjeno dosti bolje, kljub vsemu pa pogledjmo kako je s tokovno povratno zvezo, kjer med sponko S in maso vezemo upor R_s .

Posledice so, da se že tako velika **izhodna notranja uporanost še dodatno dvigne, temperaturni vpliv se zmanjša, odvisnost toka I_d od vhodne napetosti pa je dosti bolj linearna**, kar je zelo pomembno.

Ponor je napajen z napetostjo U_{dd} , ki mora biti dovolj velika, da tranzistor deluje v nasičenju. Vhodni signal U_g ne vsiljuje neposredno napetosti U_{gs} ampak vsoto U_{gs} in U_{rs} . Da je tranzistor odprt mora biti U_g večja od U_t .

Samo delovanje je analogno bipolarnemu tr. Če je FET zaprt je padeč napetosti $U_{rs} = R_s \cdot I_d$ in je enak 0V, ker ni toka I_d , in je napetost U_{gs} enaka U_g . Ko je napetost U_g večja od U_t , je tranzistor odprt in tok I_d narašča toliko časa, da se z večanjem U_{rs} zmanjša U_{gs} na vrednost kjer nadaljnje večanje toka I_d ni mogoče. Zanima pa nas tok I_d v ustaljenem stanju **$I_d = U_{rs} / R_s = (U_g - U_{gs}) / R_s = (U_g - U_t) / R_s$** . Največji možni tok I_d ocenimo kot tok, ki zagotavlja da je napetost U_{gs} večja od U_t . Dejanski tok je od te vrednosti precej manjši.

Z **grafično metodo** lahko precej bolj natančno določimo delovno točko, ker očitno analitična metoda po enačbi ne deluje dobro. V graf $I_g(U_{gs})$ vrisemo delovno premico upora R_s . Naprimer da velja $U_g = 4V$ in $U_t = 1V$. Robni pogoji delovne premice določimo tako: če je napetost U_g v celoti vsiljena tranzistorju kot napetost U_{gs} , je na uporu napetost 0V in ni toka preko njega. Delovna premica seka absciso pri 4V, če pa je upor R_s vsiljena celotna napetosti U_g teče preko njega tok ki določa vrednost na ordinati.

a.) Vpliv vhodne napetosti na delovno točko

Če se napetost U_g spreminja v območju 3V-5V, se tok I_d opazno spreminja, kar je dobro, saj želimo, da napetost U_g krmili tok I_d . V resnici pa je sprememba toka I_d manjša kot bi si želeli, saj obratna vrednosti upora R_s določa transadmitanco vezja. Kaj kmalu ugotovimo, da obstaja velika razlika med dejansko in izračunano transadmitanco, vzrok pa je majhna strmina $I_d(U_{gs})$ karakteristike, zaradi česar se mora napetost U_{gs} opazno spreminjati pri določeni spremembi toka I_d . Posledica je, da sprememba napetosti U_{rs} ni enaka spremembi vhodne napetosti U_g ampak zmanjšana za spremembo U_{gs} .

b.) Vpliv izvorskega upora na delovno točko

Vpliv upora R_s na napetost U_{gs} in tok I_d si predstavljamo tako. Ker je pri bipolarnem tranzistorju karakteristika precej bolj strma, je tam pri različnih vrednostih uporov (k -premice) pričlo do velike razlike v toku in skoraj nobene pri napetosti U_{be} . Tu pa je sprememba napetosti U_{gs} dosti bolj izrazita, tok I_d pa se spreminja bistveno manj.

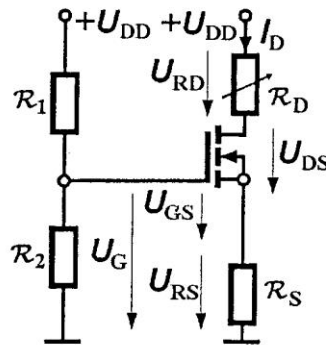
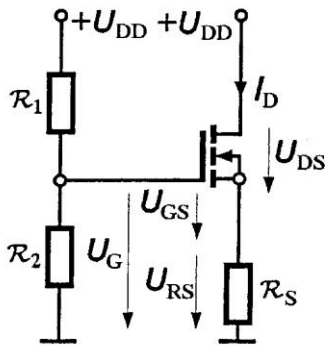
c.) Vpliv pragovne napetosti na delovno točko:

Velika deviacija parametrov FET vpliva na delovno točko tranzistorja in s tem na celotno vezje. Pri prikazani spremembi U_t se krivulja iz grafa levo niža ali viša, delovna premica pa je konstantna.

17. Tokovni izvor s FET tranzistorjem

Tokovni izvor s FET-om deluje konceptualno enako kot z bipolarnim tr. Izhodna karakteristika

FET iz zgornje slike razkriva lastnost, da se ponorska veja obnaša kot tokovni izvor, saj je ponorski tok I_D malo odvisen od napetosti U_{DS} .



Tok I_D je krmiljen napetostno z napetostjo U_{GS} . Če z zunanjim virom direktno vsilimo napetost U_{GS} , dobimo kvadratno odvisnost toka I_D od vhodne napetosti, čeprav bi želeli linearno. Razmere izboljšamo s tokovno povratno zvezo z uporom R_S .

Vhodno napetost U_G zopet generiramo s pomočjo nap.

delilnika, kjer je tok preko vrat G zanemarljiv, vhodna notranja uporanost MOSFET pa je reda 10^{14} .

a.) Nortonov tok in Nortonova not. upornost tokovnega izvora :

Ko sta delilnik in napajalna napetost izbrani, je določena tudi napetost U_G . Ocenimo lahko tudi I_D . Dejanski tok I_D je Nortonov tok. Ob priklopu bremena R_D se razmere spremenijo. Pri konst. I_D z naraščanjem R_D narašča tudi U_{RD} , kar povzroči padanje U_{DS} in ta vpliva na tok I_D . Dejansko notranjo uporanost izračunamo z odvodom ali z razliko: $r_2 = -(\Delta U_{RD}) / (\Delta I_D)$. Tudi v tem primeru je notranja uporanost tokovnega izvora večji od not. upor. ponorske veje. Izraz za izračun je naslednji $r_2 = R_S + r_{ds}(1 + g_s R_S)$.

b.) Obremenljivost tokovnega izvora:

Kolikšen je največji bremenski upor, ki ga lahko priključimo na tokovni vir, da je delovanje še zadovoljivo. Velja, da je pri majhnih vrednostih bremenskega upora tok I_D relativno konstanten oziroma malo upada z naraščanjem R_D . Pri večanju R_D preko določene meje se tok I_D prične sesedati. Maksimalni upor R_D je določen z max napetostjo U_{RD} , pri kateri je FET še v nasičenju, torej normalnem delovanju. Pri približno konst. toku I_D je ponorski potencial $U_{DD} - R_D \cdot I_D$, izvorski $U_G - U_{GS} = U_G - U_t$. Napetost U_{DS} je razlika $U_{DD} - R_D \cdot I_D$ in $U_G - U_t$. **Pogoj za nasičenje pa je, da je U_{DS} večja od $U_{GS} - U_t$.**

18. FET napetostni ojačevalnik

Osnova za izdelavo ojačevalnika je tokovni izvor, katerega tok vsilimo bremenskemu uporu. Na vhodu imamo zopet kapacitivno sklopitev, da lahko z napetostnim delilnikom R_1 in R_2 nastavimo točko neodvisno od reference. Osnovni princip je enak kot pri bipolarnem tr. Vhodna sprememba Δu_1 povzroči enako spremembo Δu_g . Če zanemarimo dejstvo, da je vhodna karakteristika FET bolj položna lahko predpostavimo da je sprememba Δu_{RS} enaka Δu_1 .

Ta sprememba na uporu R_S povzroči spremembo toka $\Delta i_D = \Delta u_{RS} / R_S = \Delta u_1 / R_S$. Sprememba toka I_D pa povzroči spremembo napetosti $\Delta u_{D} = -R_D \cdot \Delta i_D = -R_D / R_S \cdot \Delta u_1$. Napetostno ojačenje je $A_u = -\Delta u_D / \Delta u_1 = R_D / R_S$.

a.) Natančneje določanje napetostno ojačenje:

Natančnejšo enačbo napetostnega ojačenja dobimo če upoštevamo še transadmitanco. $A_u = -\Delta u_D / \Delta u_1 = R_D / (R_S + 1/g_s)$.

b.) Vhodna notranja uporanost:

Pri bipolarnem tr. je vhodno notranjo upornost nap. ojač. omejeval napetostni delilnik ali tranzistor. Pri uporabi FET-a je možno narediti napetostni ojačevalnik z bistveno večjo vhodno notranjo upornostjo. To pa je ključna prednosti pri FET-ih v analogni elektroniki, npr. pri ojačevanju senzorskih signalov. Tudi v tem primeru vhodno notranjo upornost omejuje napetostni delilnik ali drugovetnje, je pa reda 10^{14} .

c.) Delilno razmerje napetostnega delilnika:

Podobno kot pri bipolarnem tr. moramo tudi tu izbrati delilno razmerje, saj je od tega odvisno ali napetostni ojačevalnik sploh deluje pravilno in kolikšno amplitudo ima lahko vhod. Najnižji vhodni potencial je določen z vhodno napetostjo pri kateri je tranzistor še odprt, medtem ko najvišjo vhodno napetost omejuje prehod iz nasičenja v omsko področje.

Če se napetost u_g spusti pod U_t se tranzistor zapre, padec na R_d je 0V in izhodna napetost je enaka U_{DD} . Najnižja napetost u_{gmin} je določena kot U_t . Pri naraščanju u_g se niža u_{ds} , kar se ustavi pri napetosti $U_{gs}-U_t$, saj od tu naprej vezje izgubi ojačevalne lastnosti. Najbolje dimenzionirana je sredina.

19. CMOS digitalni inverter

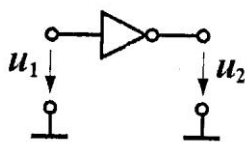
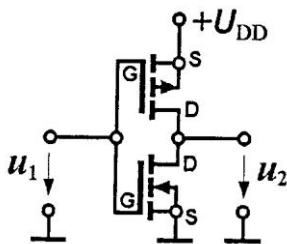
MOSFET-i so nepogrešljivi gradniki digitalnih logičnih vezij, ki so ključni sestavni del skoraj vseh sodobnih naprav. Zanesljivost CMOS tehnologije v primerjavi TTL izhaja iz večje nedovzetnosti za šume in motnje. CMOS vezja dosegajo višjo stopnjo integracije, ker MOSFET tranzistorji zavzamejo manjšo površino Si kristala. Izrazita prednost je, da logična celica potrebuje energijo samo ob preklopu stanja in ne tudi za vzdrževanje.

a.) Napetostni izklop:

Imejmo vir napetosti in njemu zaporadno vezano stikalo in ohmski porabnik. Vemo, da če stikalo razklenemo povzročimo tokovni izklop, ker stikalo prekine tokokrog. Če breme ni ohmskega značaja, tokovni izklop ne izniči napetosti na bremenu. To poskrbimo z napetostnim izklopom, ki potrebuje še eno dodatno stikalo, vezano vzporedno. Najprej izvedemo tokovni izklop, nato pa breme vezemo v kratek stik.

b.) Zgradba in lastnosti CMOS digitalnega inverterja:

Vezje sestavljata dva tranzistorja od katerih je spodnji n kanalni, zgornji pa p kanalni. Pravimo, da sta komplementarna



(complementary MOS = CMOS). Pri inverterju ločimo dve stanji logično 0 in logično 1. Ustrezni analogni veličini sta običajno napetost 0V in napajalna U_{DD} .

Digitalno vezje sestavlja večje število logičnih celic, ki so povezane

medseboj. Izhod celice ponazori svoje logično stanje z napetostjo 0V oz U_{DD} . To napetost naslednja logična celica interpretira kot ustrezno logično stanje. Razumljivo je, da napetost ni točno določena, ampak je dejasno območje napetosti (npr. 4.5-4.4V), če pa na vezje priključimo breme s tokom 4mA se območje spremeni v (4.32-3.98V). To nakazuje da digitalne celice izkazujejo določeno Theveninovo notranjo upornost R_t . Za CMOS znaša okrog 40ohm za obe logični stanji, kar pomeni da imajo celice približno enake lastnosti.

Tokovna zmogljivost logične celice in vrednost njene notranje upornosti, ki skupaj s parazitno kapacitivnostjo tvori RC člen, in določa hitrost preklopa.

c.) Delovanje COMS inverterja:

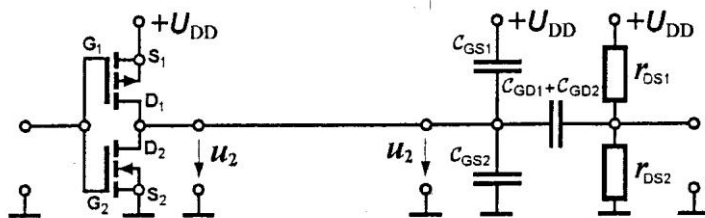
Naj bo napajalna napetost $U_{DD}=5V$. Pri $u_1=0V$ (logična 0) je napetost U_{GS} spodnjega tranzistorja enaka $0V$ in ima zelo veliko upornost, ker kanal med D in S ne obstaja. Napetost U_{GS} zgornjega tranzistorja pa je $-5V$ in ker je to p kanalni tranzistor je pri dovolj veliki negativni napetosti njegov kanal močno prevoden z upornostjo okrog 40Ω . Nadomestno vezje inverterja si predstavljamo kot delilnik z zgornjim majhnim uporom in spodnjim ogromnim. Na izhodnih sponkah je kar napetost U_{DD} .

Razmere pri pogoju $u_1=5V$ pa ravno obrnejo situacijo, ker je napetost U_{GS} spodnjega $5V$ in zgornjega $0V$. Ker gre zopet za napetostni delilnik, le da sta upora zamenjana je izhodna napetost $0V$.

Vidimo da vezje v stanju logične 1 izvede napetostni vklop in v stanju logične 0 napetostni izklop.

d.) Pomen napetostnega izklopa:

Napetostni izklop je ključnega pomena, saj se vhodne sponke logične celice obnašajo kot kondenzator. Leva celica je prikazana z dejanskim vezjem, desna pa z nadomestnim. Vsakič ko leva celica preklopi v stanje logične 1 se morata C_{GS2} in $C_{GD1}+C_{GD2}$ napolniti, C_{GS1} pa



izprazniti. Pri logični 0 je situacija obrnejena. Če bi leva logična celica izvajala samo napetostni vklop in ne tudi izklopa, bi naboj na vseh treh kapacitivnostih ostal nespremenjen, zato se preklop v logično 0 nebi izvršil.

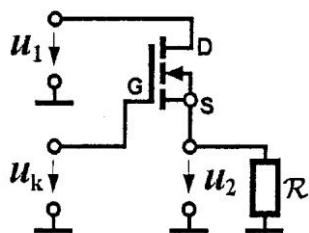
Tudi če se vhod desne logične celice nahaja v stanju logična 0, se bo hitro izvršil preklop v stanje logične 1, ker so kapacitivnosti C_{GS1} , C_{GS2} in $C_{GD1}+C_{GD2}$ zelo majhne

e.) Poraba energije:

CMOS digitalne celice imajo majhno porabo energije, kar je pomembno pri integraciji več milijonov celic. V mirovanju ne troši skoraj nobene energije, določena potrošnja pa se pojavi kot parazitni pojav zaradi končnega toka preko uporanosti $10^{12}+40\Omega$ obeh tranzistorjev. Če je $U_{DD}=5V$ ena celica troši $5pW$ moči, pri 100milijonih celicah je to $0.5mW$. CMOS celice pa imajo izrazito porabo pri izvedbi preklopa v novo stanje, ko sta za kratek čas odprta oba tranzistorja in teče preko njiju relativno velik tok. Drug razlog za izgube je polnjenje in praznjenje parazitnih kapacitivnosti. Oba efekta pa povzročata tako močno segrevanje procesorjev, da potrebujejo intenzivno hlajenje.

20. CMOS bilateralno stikalo

Pri realizaciji elektronskih vezij večkrat potrebujemo elektronsko krmiljeno analogno stikalo, ki je ekvivalent mehanskemu, le da njegovo prevajanje kontroliramo elektronsko. Zaradi lastnosti



FET, da v ohmskem področju delovanja izkazujejo karakteristiko napetostno krmiljene upornosti, je z njimi mogoče izdelati analogno elektronsko stikalo, ki prevaja v obe smeri. Napetost u_1 je vhodni signal, katerega sklopitev z u_2 želimo krmiliti s pomočjo napetosti u_k . Upor R je breme, ki je ob sklenjenem stikalu priklopljeno na napetost u_1 . Vse napetosti so lahko le pozitivne.

Stikalo deluje takole. Naj bo $u_k=0V$. Tako velja $u_{GS}=0V$, če preko upora R tok ne teče. Če bi preko tranzistorja in preko upora tok tekel bi veljalo $u_{GS}<0V$. Ker ima uporabljeni tranzistor n kanal, prevodna

proga S in D ne obstaja in $u_2=0V$, stikalo ne prevaja.

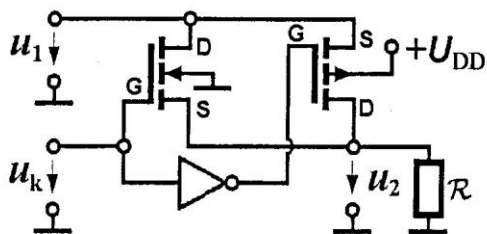
Razmere se spremenijo, ko napetost u_k večamo preko pragovne napetosti U_t . Kanal prične prevajati, saj se njegova uporanost zmanjša na velikostni red nekaj 10ohm. Če je upor R dosti večji od te uporanosti se celotna napetost u_1 pojavi na njem.

Primer. Pragovna napetost $U_t=1V$, napetost $u_k=5V$ in $R=10k\Omega$. Ko je $u_1=0V$ je tudi $u_2=0V$. Napetost u_{gs} je enaka u_k in kanal prevaja. Če se napetost u_1 dvigne na $1V$ se zaradi prevodnega kanala tudi u_2 dvigne na skoraj $1V$. Napetost $u_{gs}=u_k-u_2=4.01V$, kar je še vedno več od pragovne napetosti. Napetost $u_{ds}=0.01V$, kar je mnogo manj kot $U_{gs}-U_t$ in tranzistor je še vedno v ohmskem področju. Z večanjem napetosti u_1 se manjša u_{gs} in večja se uporanost kanala. To je nezaželeno, ker povzroča nelinearnost. Če se u_1 dvigne nad u_k-U_t ji napetost u_2 ne sledi več, ker je največja vrednost, ki jo doseže u_2 ravno u_k-U_t , saj bi se pri nadaljnjem višanju napetost u_{gs} zmanjšala pod pragovno in kanal bi se zaprl. Ko se napetost u_1 dvigne nad u_k-U_t je kanal odrezan.

a.) Napotki za delo z FET stikali:

V primeru, da je u_1 lahko negativna, mora biti substrat tranzistorja vezan na nižji potencial od najbolj negativne napetosti, ki jo lahko ima u_1 in ne na sponko S. FET, ki so izdelani v ohišju s tremi sponkami, imajo substrat vezan na S in zahtevata nenegativni napetosti u_1 in u_2 .

Upor R mora biti mnogo večji od upornosti kanala r_{ds} , sicer pride do sesedanja napetosti na progi D-S.



Problem opisanega stikala je, da se prične njegova upornost močno večati, ko se vhodna napetost u_1 približuje vrednosti u_k-U_t . Takrat je u_{gs} premajhna, da bi vzdrževala nizko upornost kanala in izhod nima sklopitve z vhodom.

b.) CMOS bilateralno stikalo:

CMOS stikalo je nadgradnja MOSFET stikala. Levi n-kanalni tranzistor je z napetostmi u_1 , u_2 , u_k povezan povsem enako in zato ima enako funkcijo kot pri MOSFET stikalu. K temu je dodan še desni p-kanalni tranzistor, ki odpravi predhodno opisano težavo rezanja izhodnega signala.

Napetost u_k krmili vrata levega tr. direktno in vrata desnega preko preko CMOS inverterja. Pri pogoju $u_k=0V$ smo že ugotovili, da je levi tr. zaprt. Na izhodu inverterja pa dobimo napetost U_{DD} in vrata destega tr. so na najvišjem potencialu, zato je tudi desni zaprt. Sklopitve med u_1 in u_2 ni.

Ko krmilnemu vhodu vsilimo napetost U_{DD} , se levi tr. odpre. Desni je prav tako odpre, saj na izhodu inverterja dobimo $0V$. Pomen dveh tr. je v tem, da neodvisno od tega kakšni sta napetosti u_1 in u_2 vedno vsaj en tranzistor sklaplja signala med seboj.